

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

|                    |  |                  |                              |
|--------------------|--|------------------|------------------------------|
| <b>Applicant:</b>  | Fuyuki Okamoto   | <b>Examiner:</b> | Unassigned                   |
| <b>Serial No.:</b> | Unassigned   | <b>Art Unit:</b> | Unassigned                   |
| <b>Filed:</b>      | Herewith   | <b>Docket:</b>   | 17566                        |
| <b>For:</b>        | FREQUENCY CHARACTERISTICS- VARIABLE<br>AMPLIFYING CIRCUIT AND SEMICONDUCTOR<br>INTEGRATED CIRCUIT DEVICE |                  | <b>Dated:</b> March 25, 2004 |

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

**CLAIM OF PRIORITY**

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submits a certified copy of Japanese Patent Application 2003-092486 filed on March 28, 2003.

Respectfully submitted,



Paul J. Esatto, Jr.  
Registration No. 30,749

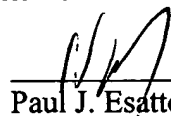
Scully, Scott, Murphy & Presser  
400 Garden City Plaza  
Garden City, New York 11530  
(516) 742-4343  
PJE:jf

---

**CERTIFICATE OF MAILING BY EXPRESS MAIL**

Express Mail Mailing Label Number: **EV 213901437US**  
Date of Deposit: **March 25, 2004**

I hereby certify that this correspondence is being deposited with the United States Postal Service Express Mail Post Office to Addressee service under 37 C.F.R. §1.10 on the date indicated above and is addressed to the Commissioner For Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
\_\_\_\_\_  
Paul J. Esatto, Jr.

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 2 8 日  
Date of Application:

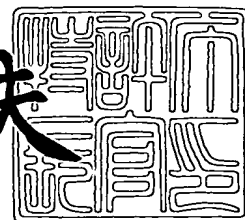
出 願 番 号                      特 願 2 0 0 3 - 0 9 2 4 8 6  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 9 2 4 8 6 ]

出      願      人                      N E C エレクトロニクス株式会社  
Applicant(s):

2 0 0 4 年    1 月 2 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 74112762

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03G 3/30

【発明の名称】 周波数特性可変増幅回路及び半導体集積回路装置

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

【氏名】 岡本 冬樹

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100090158

【弁理士】

【氏名又は名称】 藤巻 正憲

【電話番号】 03-3539-5651

【手数料の表示】

【予納台帳番号】 009782

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216549

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 周波数特性可変増幅回路及び半導体集積回路装置

【特許請求の範囲】

【請求項 1】 第 1 の電位と第 2 の電位との間に接続された 1 対の共振回路と、各共振回路からの出力信号を出力する 1 対の出力端子と、相補な信号が入力されこの入力信号に応じて一方の前記出力端子に前記第 1 の電位に基づくハイ又はロウの信号を出力し他方の前記出力端子に前記第 2 の電位に基づくロウ又はハイの信号を出力させるように前記各共振回路と前記第 1 の電位又は前記第 2 の電位との間のオンオフを切り換える 1 対のスイッチ部と、を有し、前記 1 対の出力端子に前記 1 対のスイッチ部の入力信号が増幅された信号が出力される増幅回路において、前記共振回路は、インダクタと、このインダクタとの間で共振部を構成する可変キャパシタとを有し、この可変キャパシタの容量値を調整することにより増幅時の周波数特性を可変とすることを特徴とする周波数特性可変増幅回路。

【請求項 2】 一端に第 1 の電位が印加されるインダクタ及びこのインダクタと共に共振部を構成する可変キャパシタを備えた 1 対の共振回路と、前記インダクタの他端に夫々接続された 1 対の出力端子と、この 1 対の出力端子と第 2 の電位との間に接続され相補な信号が入力されてこの入力信号に応じて前記出力端子と前記第 2 の電位との間のオンオフを切り換える 1 対のスイッチ部と、を有し、前記 1 対の出力端子に前記 1 対のスイッチ部の入力信号が増幅された信号が出力され、前記可変キャパシタの容量値を調整することにより前記共振回路のインピーダンスの周波数特性を調整して前記出力信号の波形を整形することを特徴とする周波数特性可変増幅回路。

【請求項 3】 前記可変キャパシタはその一端が前記インダクタの他端に接続され、他端にこの可変キャパシタの容量値を制御する制御電圧が印加されるものであり、前記共振回路は前記インダクタと前記可変キャパシタとの間の接続点と前記出力端子との間に接続された抵抗を有することを特徴とする請求項 2 に記載の周波数特性可変増幅回路。

【請求項 4】 前記可変キャパシタがバラクタ素子であることを特徴とする

請求項 1 乃至 3 のいずれか 1 項に記載の周波数特性可変増幅回路。

【請求項 5】 前記各スイッチ部は、ソース・ドレインの一方が前記出力端子に接続され、他方に前記第 2 の電位が印加され、ゲートに前記入力信号が入力されるトランジスタであることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の周波数特性可変増幅回路。

【請求項 6】 前記各スイッチ部のトランジスタのソース・ドレインの他方は共通接続され、この共通接続点と前記第 2 の電位との間にバイアストランジスタが接続され、このバイアストランジスタのゲートにバイアス電圧が印加され、前記バイアストランジスタは、前記バイアス電圧に応じて前記第 2 の電位を制御することを特徴とする請求項 5 に記載の周波数特性可変増幅回路。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の周波数特性可変増幅回路が搭載されていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、高周波信号を増幅する周波数特性可変増幅回路及びこれが搭載された半導体集積回路装置に関する。

【0 0 0 2】

【従来の技術】

光通信用受信モジュールには、光信号を電気信号に変換する受光素子と、この受光素子から出力された電気信号が入力され、光ファイバー内を伝送している間に減衰し歪んだ信号波形を整形する広帯域増幅器等が搭載されている。この広帯域増幅器は、主として減衰した信号を増幅するための増幅器、及び主として波形の乱れを整形するための増幅器等により構成されている。近時、光通信モジュールの小型化及び低コスト化に伴い、前記各増幅器をバイポーラ集積回路の製造技術を使用して単一の半導体基板上に集積回路として形成した広帯域増幅器が開発されている（例えば、特許文献 1 及び 2 参照。）。

【0 0 0 3】

このような従来の広帯域増幅器に設けられた増幅回路の一例として、前述の特

許文献 2 に記載されている増幅回路について説明する。図 5 は、特許文献 2 に記載された増幅回路を示す回路図である。図 5 に示すように、この従来の増幅回路 5 0 は、電源電位配線 V C C 及び接地電位配線 G N D に接続されている。そして、増幅回路 5 0 においては、電源電位配線 V C C から接地電位配線 G N D に向かって、インダクタ 5 1、抵抗 5 3、出力端子 5 5 及び N M O S トランジスタ 5 9 がこの順に直列に接続され、これらと並列にインダクタ 5 2、抵抗 5 4、出力端子 5 6 及び N M O S トランジスタ 6 0 がこの順に直列に接続されている。また、N M O S トランジスタ 5 9 及び N M O S トランジスタ 6 0 のゲートには夫々入力端子 6 1 及び入力端子 6 2 が接続されており、この N M O S トランジスタ 5 9 及び N M O S トランジスタ 6 0 のソースはトランジスタ 6 3 を介して接地電位配線 G N D に接続されている。更に、このトランジスタ 6 3 のゲートにはバイアス電位が印加されるバイアス端子 6 4 が接続されている。なお、図 5 に示す負荷容量 5 7 及び負荷容量 5 8 は、この増幅回路 5 0 と設置電位配線 G N D との間に不可避免的に発生する寄生容量を示している。

#### 【 0 0 0 4 】

次に、この従来の増幅回路 5 0 の動作について説明する。先ず、電源電位配線 V C C に電源電位を印加し、接地電位配線 G N D に接地電位を印加し、トランジスタ 6 3 にバイアス電位を印加する。その状態で、例えば、入力端子 6 1 がハイ、入力端子 6 2 がロウになるように相補信号を入力すると、N M O S トランジスタ 5 9 がオンになり、N M O S トランジスタ 6 0 がオフになる。これにより、出力端子 5 5 からはロウの信号が出力されると共に、出力端子 5 6 からはハイの信号が出力される。

#### 【 0 0 0 5 】

この従来の増幅回路 5 0 の場合、出力信号の電圧は出力端子 5 5 と出力端子 5 6 との電位差であり、この電位差が大きい程ゲインは大きくなる。図 6 は、横軸に周波数を取り、縦軸にゲインをとって、ゲインの周波数特性を示すグラフ図である。図 6 に示すように、一般に、増幅回路を使用した場合、そのゲインには高周波領域でピーキングが生じる。図 5 に示す増幅回路 5 0 は、回路中にインダクタ 5 1 及びインダクタ 5 2 が設けられているため、図 6 に示すゲインの周波数特

性においてピーキングの値が大きくなり、出力信号の波形をシャープにすることができ。

【0 0 0 6】

【特許文献 1】

特開平 1 1 - 8 8 0 8 7 号公報 （第 4 - 9 頁、第 1 2 図）

【特許文献 2】

米国特許第 6 3 4 0 8 9 9 B 1 号明細書 （第 1 図）

【0 0 0 7】

【発明が解決しようとする課題】

しかしながら、従来の増幅回路 5 0 は、入力された信号の周波数特性を変化させることができないため、ピーキングの位置を制御できず、設計時に想定した周波数以外には対応できないという問題がある。

【0 0 0 8】

本発明はかかる問題点に鑑みてなされたものであって、入力された信号の周波数特性を変化させることができる周波数特性可変増幅回路及びこれが搭載された半導体集積回路装置を提供することを目的とする。

【0 0 0 9】

【課題を解決するための手段】

本願第 1 発明に係る周波数特性可変増幅回路は、第 1 の電位と第 2 の電位との間に接続された 1 対の共振回路と、各共振回路からの出力信号を出力する 1 対の出力端子と、相補な信号が入力されこの入力信号に応じて一方の前記出力端子に前記第 1 の電位に基づくハイ又はロウの信号を出力し他方の前記出力端子に前記第 2 の電位に基づくロウ又はハイの信号を出力させるように前記各共振回路と前記第 1 の電位又は前記第 2 の電位との間のオンオフを切り換える 1 対のスイッチ部と、を有し、前記 1 対の出力端子に前記 1 対のスイッチ部の入力信号が増幅された信号が出力される増幅回路において、前記共振回路は、インダクタと、このインダクタとの間で共振部を構成する可変キャパシタとを有し、この可変キャパシタの容量値を調整することにより増幅時の周波数特性を可変とすることを特徴とする。

## 【0 0 1 0】

本発明の周波数特性可変増幅回路における負荷インピーダンスは、共振回路の合成インピーダンスである。この合成インピーダンスの値はインダクタとの間で共振部を構成する可変キャパシタの容量値を変化させることで変化する。よって、本発明においては、前記可変キャパシタに印加する電圧を変化させてこのキャパシタの容量値を変えると、負荷インピーダンスが変化して出力信号の周波数特性が変わる。

## 【0 0 1 1】

本願第 2 発明に係る周波数特性可変増幅器は、一端に第 1 の電位が印加されるインダクタ及びこのインダクタと共に共振部を構成する可変キャパシタを備えた 1 対の共振回路と、前記インダクタの他端に夫々接続された 1 対の出力端子と、この 1 対の出力端子と第 2 の電位との間に接続され相補な信号が入力されてこの入力信号に応じて前記出力端子と前記第 2 の電位との間のオンオフを切り換える 1 対のスイッチ部と、を有し、前記 1 対の出力端子に前記 1 対のスイッチ部の入力信号が増幅された信号が出力され、前記可変キャパシタの容量値を調整することにより前記共振回路のインピーダンスの周波数特性を調整して前記出力信号の波形を整形することを特徴とする。

## 【0 0 1 2】

本発明の周波数特性可変増幅回路における負荷インピーダンスは、可変キャパシタ及びインダクタを備える共振回路の合成インピーダンスである。この合成インピーダンスの値は前記可変キャパシタの容量を変化させることで変化する。従って、本発明の周波数特性可変増幅回路においては、前記可変キャパシタに印加する電圧を変化させると、負荷インピーダンスが変化して、出力信号の周波数特性が変化し、前記出力信号の波形が整形される。

## 【0 0 1 3】

前記可変キャパシタはその一端が前記インダクタの他端に接続され、他端にこの可変キャパシタの容量値を制御する制御電圧が印加されるものであり、前記共振回路は前記インダクタと前記可変キャパシタとの間の接続点と前記出力端子との間に接続された抵抗を有することが好ましい。共振回路に抵抗を設けると、低



周波域における前記 1 対の出力端子間の電位差が確保され、ゲインの低下が防止される。

#### 【0014】

また、前記可変キャパシタは、バラクタ素子であることが好ましい。これにより、MOS トランジスタを形成する工程により、可変キャパシタを形成することができる。このため、可変キャパシタを形成するために特別な工程を追加する必要がない。

#### 【0015】

更に、前記各スイッチ部は、ソース・ドレインの一方が前記出力端子に接続され、他方に前記第 2 の電位が印加され、ゲートに前記入力信号が入力されるトランジスタでもよい。

#### 【0016】

更にまた、前記周波数特性可変増幅回路は、例えば、前記各スイッチ部のトランジスタのソース・ドレインの他方は共通接続され、この共通接続点と前記第 2 の電位との間にバイアストランジスタが接続され、このバイアストランジスタのゲートにバイアス電圧が印加され、前記バイアストランジスタにより、前記バイアス電圧に応じて前記第 2 の電位を制御する。このバイアストランジスタに印加するバイアス電圧を変化させることにより、周波数特性可変増幅回路全体に流れる電流の大きさを変化させることができる。

#### 【0017】

本願第 3 発明に係る半導体集積回路装置は、前述の周波数特性可変増幅回路が搭載されていることを特徴とする。本発明においては、前述の周波数特性可変増幅回路を利得可変増幅回路等と共に半導体集積回路装置に搭載することにより、出力信号の周波数特性を変化させることができる広帯域増幅器を製造することができる。

#### 【0018】

##### 【発明の実施の形態】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。図 1 は、本実施形態に係る周波数特性可変増幅回路を示す回路図である。図 1 に示

すように、本実施形態に係る周波数特性可変増幅回路 1 は、電源電位配線 VCC と接地電位配線 GND との間に接続されている。この周波数特性可変増幅回路 1 は、例えば、シリコン基板上に形成された集積回路の一部である。周波数特性可変増幅回路 1 においては、電源電位配線 VCC から接地電位配線 GND に向かって、インダクタ 2、抵抗 6、出力端子 8 及び NMOS トランジスタ 10 がこの順に直列に接続され、これらと並列にインダクタ 3、抵抗 7、出力端子 9 及び NMOS トランジスタ 11 が接続されている。インダクタ 2 と抵抗 6 との間の接続点 16 には、可変キャパシタとしてのバラクタ素子 4 の一方の端子が接続され、このバラクタ素子 4 の他方の端子は周波数特性制御端子 19 に接続されている。同様に、インダクタ 3 と抵抗 7 との間の接続点 17 には、バラクタ素子 5 の一方の電極が接続され、このバラクタ素子 5 の他方の電極は周波数特性制御端子 20 に接続されている。なお、インダクタ 2、バラクタ素子 4 及び抵抗 6 により一方の共振回路が形成され、インダクタ 3、バラクタ素子 5 及び抵抗 7 により他方の共振回路が形成される。

#### 【0019】

そして、NMOS トランジスタ 10 及び NMOS トランジスタ 11 のドレインは夫々出力端子 8 及び出力端子 9 に接続され、ゲートには夫々入力端子 12 及び入力端子 13 が接続されている。また、NMOS トランジスタ 10 及び NMOS トランジスタ 11 のソースはトランジスタ 14 を介して接地電位配線 GND に接続されている。即ち、トランジスタ 14 のドレインは NMOS トランジスタ 10 及び NMOS トランジスタ 11 のソースに接続され、ソースは接地電位配線 GND に接続されている。更に、トランジスタ 14 のゲートにはバイアス電位が印加されるバイアス端子 15 が接続されている。

#### 【0020】

本実施形態の周波数特性可変増幅回路 1 は、バイポーラ型集積回路及び MOS 型集積回路の製造技術等を使用して利得可変増幅回路等と共に半導体基板上に形成され、GHz 帯等の高周波信号を増幅することができる広帯域増幅器として動作する半導体集積回路装置になる。例えば、この半導体集積回路装置（広帯域増幅器）は受光素子等の他の部材と共に基板上に実装されて光通信用の光ファイバ

の光受信用モジュールに組み込まれてもよい。この光受信用モジュールは、例えば、光ファイバにより伝達された信号を電気信号に変換して増幅するものである。

#### 【0 0 2 1】

次に、本実施形態の周波数特性可変増幅回路 1 の動作について説明する。図 2 (a) は横軸に入力信号の周波数を取り、縦軸にゲインをとって、ゲインの周波数特性を示すグラフ図であり、図 2 (b) は、横軸に時間を取り、縦軸に電位をとって、入力信号及び出力信号の波形を示すグラフ図である。図 1 に示すように、電源電位配線 V C C に電源電位を印加し、接地電位配線 G N D に接地電位を印加する。そして、バイアス端子 1 5 を介してトランジスタ 1 4 のゲートにバイアス電圧を印加する。これにより、トランジスタ 1 4 の I - V 特性が飽和領域に達し、トランジスタ 1 4 のソース・ドレイン間には、ゲート電圧によって決まりドレイン電圧には依存しないドレイン電流が流れるようになる。この結果、バイアス電圧を一定値とすることにより、接続点 1 8 と接地電位配線 G N D との間の電位差によらず、周波数特性可変増幅回路 1 に一定の電流を流すことができる。この状態で、例えば、入力端子 1 2 がハイ、入力端子 1 3 がロウになるように相補信号を入力すると、トランジスタ 1 0 がオンになり、トランジスタ 1 1 がオフになる。これにより、出力端子 8 からはロウの信号が出力されると共に、出力端子 9 からはハイの信号が出力される。また、入力端子 1 2 がロウになり、入力端子 1 3 がハイになると、出力端子 8 はハイになり、出力端子 9 はロウになる。このようにして、入力端子 1 2 及び入力端子 1 3 に入力される信号と同じ周波数で増幅された相補信号が出力端子 9 及び出力端子 1 0 から出力される。

#### 【0 0 2 2】

更に、本実施形態の周波数特性可変増幅回路 1 においては、周波数特性制御端子 1 9 及び周波数特性制御端子 2 0 に印加する電位を変化させると、バラクタ素子 4 及びバラクタ素子 5 の容量が変化する。これにより、共振回路のインピーダンスの周波数特性が変化し、図 2 (a) に示すように、入力信号に対する出力信号のゲインの周波数特性、即ち、ピーキング 2 4 の位置等が変化する。このため、周波数特性制御端子 1 9 及び周波数特性制御端子 2 0 に印加する電位を調整す

ることにより、ゲインの周波数特性を最適化し、図 2 (b) に示すように、伝送により減衰し波形が歪んだ入力信号 25 に対して、この入力信号 25 における電位変化が大きく高周波成分が多い部分 26 を重点的に増幅することにより、整形された出力信号 27 を得ることができる。なお、抵抗 6 及び抵抗 7 は、入力信号が低周波信号である場合に共振部のインピーダンスを確保し、一定のゲインを維持するために設けられている。

### 【0023】

本実施形態の周波数特性可変増幅回路 1 は、種々の信号が入力された場合においても、周波数特性制御端子に印加する電圧を変えることにより、入力された信号のピーキングの位置を変化させて、出力する信号の波形を整形することができる。

### 【0024】

#### 【実施例】

以下、本発明の実施例として、図 1 に示す周波数特性可変増幅回路 1 の周波数特性を計算により求め、その効果について具体的に説明する。

### 【0025】

本実施例においては、図 1 に示す周波数可変増幅回路 1 を等価回路によりモデリングし、その出力信号におけるゲインの周波数特性を計算により求めた。図 3 は、本実施例の計算で使用した周波数特性可変増幅回路 1 の等価回路としての小信号回路を示す回路図である。図 3 に示すように、本実施例において使用した小信号回路 30 においては、電流源 31 と出力端子 36 及び出力端子 37 との間に、インダクタ 32 と抵抗 33 とが直列に接続され、また、このインダクタ 32 及び抵抗 33 からなる回路と並列に可変キャパシタ 34 が接続され、更に可変キャパシタ 34 と並列にキャパシタ 35 が接続されている。

### 【0026】

なお、本実施例においては、周波数可変増幅回路 1 を、小信号回路 30 が左右対称に 2 個配置されたものとしてモデリングしている。よって、小信号回路 30 における電流源 31 は、周波数可変増幅回路 1 における NMOS トランジスタ 10 及び NMOS トランジスタ 11 に相当する。また、インダクタ 32 はインダク

タ 2 及びインダクタ 3 に対応し、抵抗 3 3 は抵抗 6 及び抵抗 7 に対応する。更に、可変キャパシタ 3 4 及びキャパシタ 3 5 はバラクタ素子 4 及びバラクタ素子 5 に対応する。

#### 【0 0 2 7】

本実施例においては、小信号回路 3 0 における抵抗 3 3 の抵抗値  $R$  を  $100\ \Omega$ 、インダクタ 3 2 のインダクタンス  $L$  を  $10\ \text{nH}$ 、キャパシタ 3 5 のキャパシタンス  $C_L$  を  $500\ \text{fF}$  とし、可変キャパシタ 3 4 のキャパシタンス  $C_V$  が  $100\ \text{fF}$  の場合を実施例 No. 1 とし、前記キャパシタンス  $C_V$  が  $250\ \text{fF}$  の場合を実施例 No. 2 とし、前記キャパシタンス  $C_V$  が  $500\ \text{fF}$  の場合を実施例 No. 3 とし、 $0.1$  乃至  $10\ \text{GHz}$  におけるゲインを計算した。そして、これらの計算により求められたゲインを、直流信号を入力した場合のゲインを 1 として規格化した。

#### 【0 0 2 8】

図 4 は、横軸に周波数を取り、縦軸に規格化されたゲインをとって、実施例 No. 1、No. 2 及び No. 3 におけるゲインの周波数特性を示すグラフ図である。図 1 に示す周波数特性可変増幅回路 1 は、図 4 に示すように、可変キャパシタ 3 4 のキャパシタンス  $C_V$  を変えることにより、ピーキングの位置（周波数）を変更できることが確認できた。

#### 【0 0 2 9】

##### 【発明の効果】

以上詳述したように、本発明によれば、周波数特性可変増幅回路に可変キャパシタを設け、この可変キャパシタに印加する制御電圧を変化させることにより、前述の周波数特性可変増幅回路内の負荷インピーダンスを変化させることができる。これにより、入力された信号の周波数特性が変化するため、種々の信号が入力された場合においても、出力信号の波形を整形することができる。

##### 【図面の簡単な説明】

##### 【図 1】

本発明の実施形態に係る周波数特性可変増幅回路を示す回路図である。

##### 【図 2】

(a) は横軸に入力信号の周波数を取り、縦軸にゲインをとって、ゲインの周波数特性を示すグラフ図であり、(b) は、横軸に時間を取り、縦軸に電位をとって、入力信号及び出力信号の波形を示すグラフ図である。

【図 3】

本発明の実施例で計算に使用した小信号回路を示す回路図である。

【図 4】

横軸に周波数を取り、縦軸に規格化されたゲインをとって、実施例 No. 1、No. 2 及び No. 3 におけるゲインの周波数特性を示すグラフ図である。

【図 5】

特許文献 2 で提案された従来の周波数特性可変増幅回路を示す回路図である。

【図 6】

横軸に周波数を取り、縦軸にゲインをとって、ゲインの周波数特性を示すグラフ図である。

【符号の説明】

- 1、5 0 ; 周波数特性可変増幅回路
- 2、3、3 2、5 1、5 2 ; インダクタ
- 4、5、3 4 ; 可変キャパシタ
- 6、7、3 3、5 3、5 4 ; 抵抗
- 8、9、3 6、3 7、5 5、5 6 ; 出力端子
- 1 0、1 1、5 9、6 0 ; NMOS トランジスタ
- 1 2、1 3、6 1、6 2 ; 入力端子
- 1 4、6 3 ; トランジスタ
- 1 5、6 4 ; バイアス端子
- 1 6、1 7、1 8、6 5、6 6、6 7 ; 接続点
- 1 9、2 0 ; 周波数特性制御端子
- 2 4 ; ピーキング
- 2 5 ; 入力信号
- 2 6 ; 部分
- 2 7 ; 出力信号

3 0 ; 小信号回路

3 1 ; 電流源

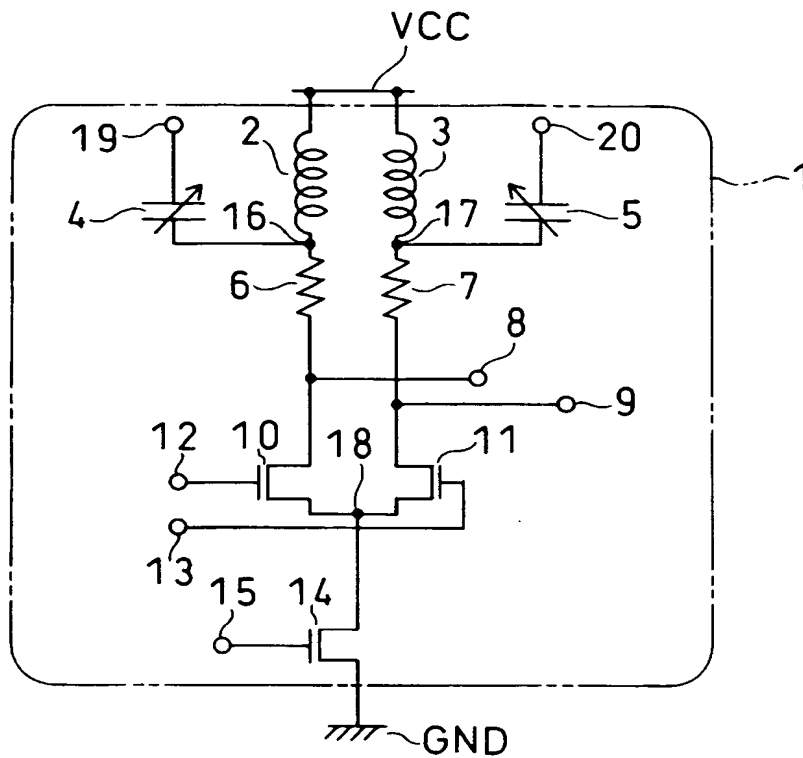
3 5 ; キャパシタ

5 7、5 8 ; 負荷容量

【書類名】

図面

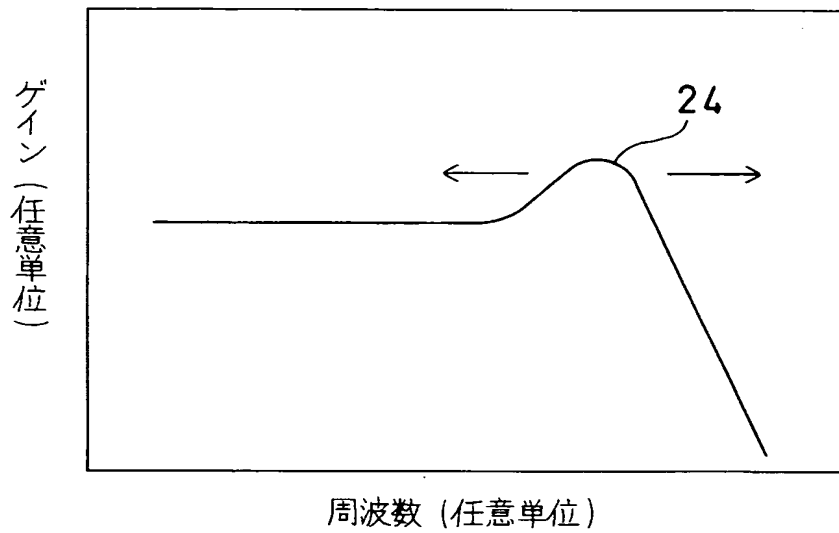
【図 1】



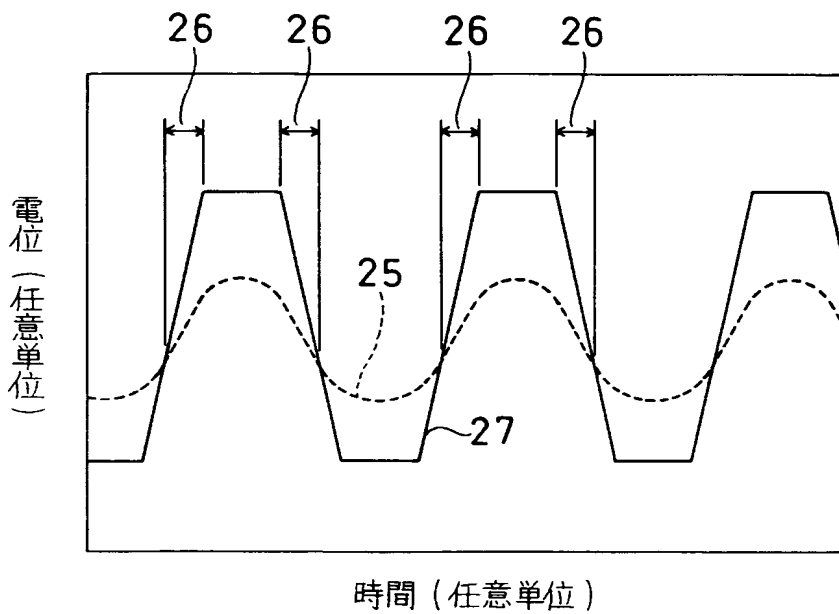
- 1; 周波数特性可変増幅回路      2、3; インダクタ  
 4、5; 可変キャパシタ      6、7; 抵抗      8、9; 出力端子  
 10、11; NMOSトランジスタ      12、13; 入力端子  
 14; トランジスタ      15; バイアス端子      16、17、18; 接続点



【図 2】



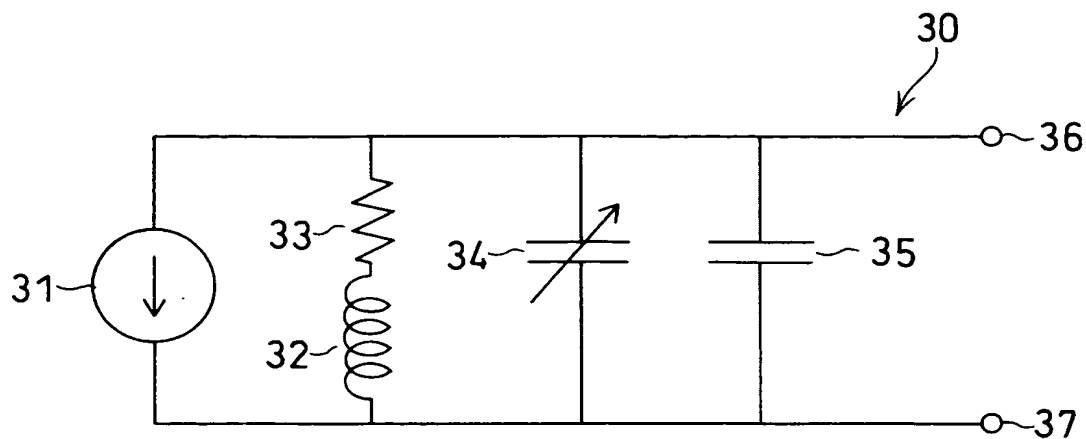
(a)



(b)

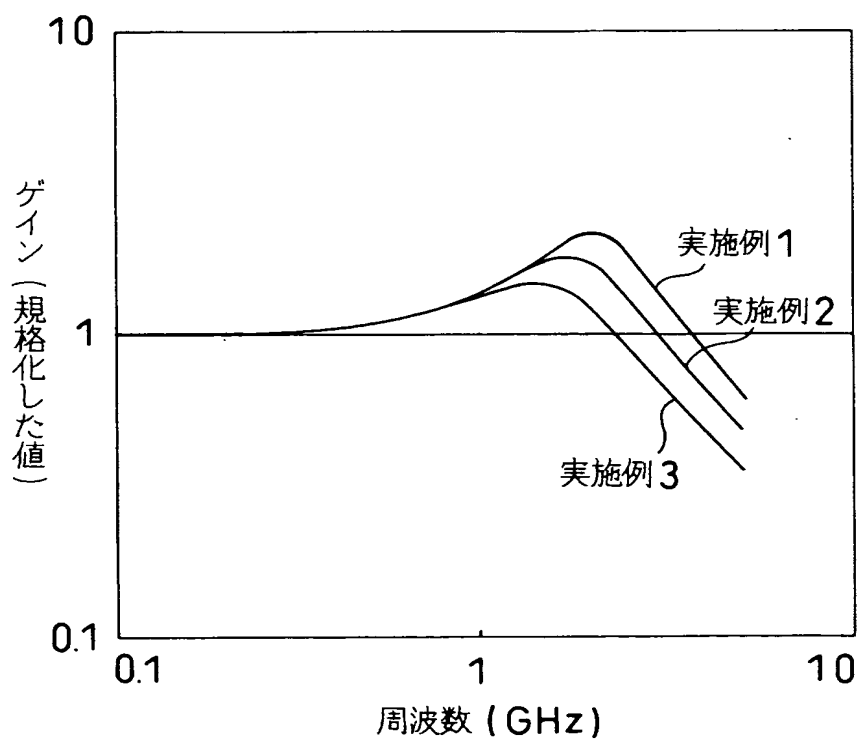
24 ; ピーキング    25 ; 入力信号    26 ; 部分    27 ; 出力信号

【図 3】

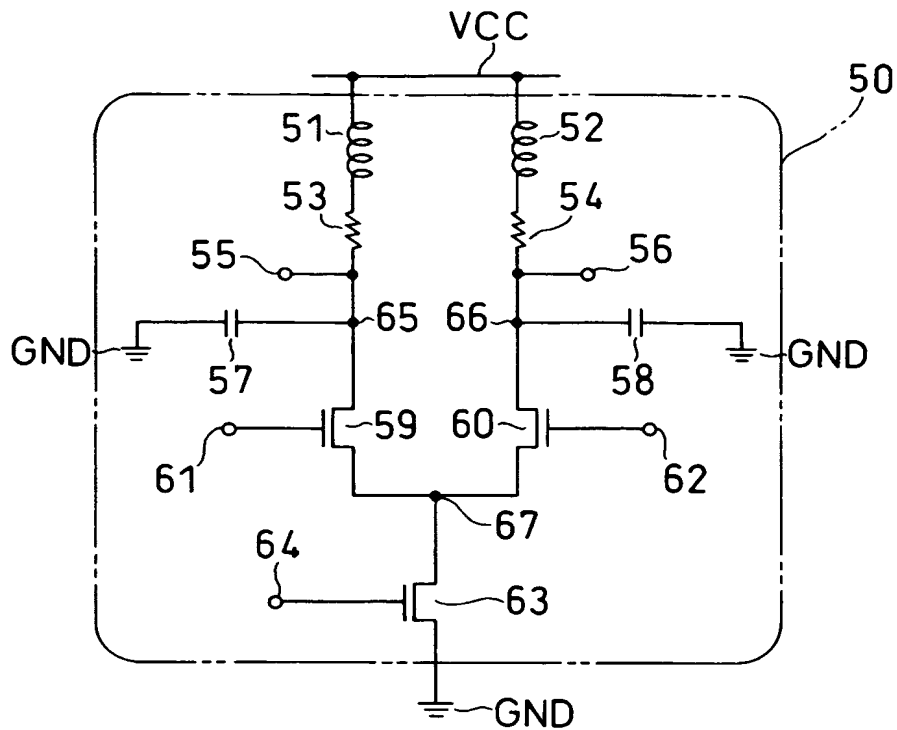


30 ; 小信号回路    31 ; 電流源    32 ; インダクタ    33 ; 抵抗  
34 ; 可変キャパシタ    35 ; キャパシタ    36、37 ; 出力端子

【図 4】

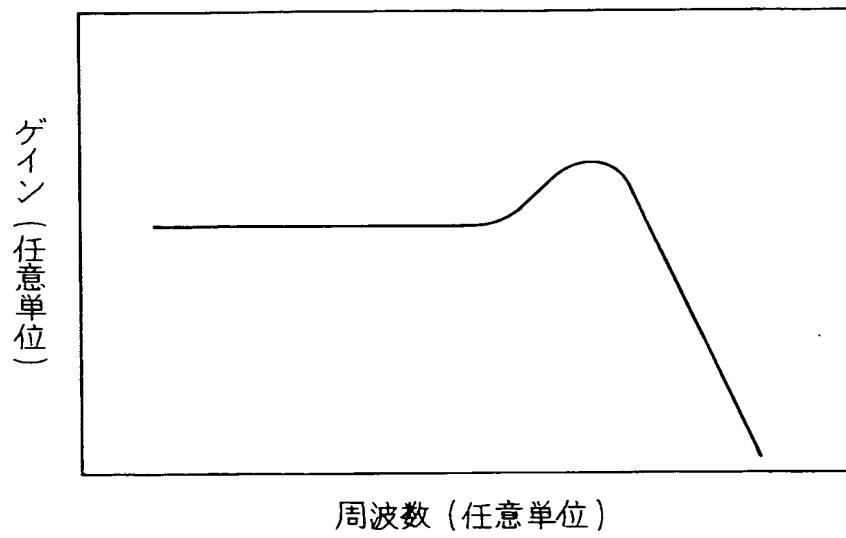


【図 5】



- 50 ; 周波数特性可変増幅回路      51、52 ; インダクタ  
 53、54 ; 抵抗      55、56 ; 出力端子  
 57、58 ; 負荷容量      59、60 ; NMOS トランジスタ  
 61、62 ; 入力端子      63 ; トランジスタ  
 64 ; バイアス端子      65、66、67 ; 接続点

【図 6】



【書類名】 要約書

【要約】

【課題】 入力された信号の周波数特性を変化させることができる周波数特性可変増幅回路及びこれが搭載された半導体集積回路装置を提供する。

【解決手段】 電源電位配線 V C C から接地電位配線 G N D に向かって、インダクタ 2、抵抗 6、出力端子 8 及びトランジスタ 1 0 をこの順に直列に接続し、それらと並列にインダクタ 3、抵抗 7、出力端子 9 及びトランジスタ 1 1 をこの順に直列に接続し、接続点 1 6 及び 1 7 に可変キャパシタ 4 又は 5 の一方の電極を接続し、可変キャパシタ 4 及び 5 の他方の電極を周波数特性制御端子 1 9 又は 2 0 に接続し、トランジスタ 1 0 及び 1 1 のドレインを夫々出力端子 8 又は 9 に、ソースはトランジスタ 1 5 のドレインに、ゲートは夫々入力端子 1 2 又は入力端子 1 3 に接続し、トランジスタ 1 4 のゲートをバイアス端子 1 5 に、ソースを接地電位配線 G N D に接続する。

【選択図】 図 1



## 認定・付加情報

|         |                          |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 3 - 0 9 2 4 8 6 |
| 受付番号    | 5 0 3 0 0 5 2 1 2 4 0    |
| 書類名     | 特許願                      |
| 担当官     | 第七担当上席 0 0 9 6           |
| 作成日     | 平成 1 5 年 4 月 3 日         |

### < 認定情報・付加情報 >

【提出日】 平成15年 3月28日

次頁無



特願 2 0 0 3 - 0 9 2 4 8 6

出 願 人 履 歴 情 報

識別番号 [ 3 0 2 0 6 2 9 3 1 ]

|          |                          |
|----------|--------------------------|
| 1. 変更年月日 | 2 0 0 2 年 1 1 月 1 日      |
| [ 変更理由 ] | 新規登録                     |
| 住 所      | 神奈川県川崎市中原区下沼部 1 7 5 3 番地 |
| 氏 名      | N E C エレクトロニクス株式会社       |